

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): IKEDA, TOMOAKI ET AL

Application No.:

Group:

Filed: March 26, 2001

Examiner:

For: IMAGE ENCODING DEVICE



L E T T E R

Assistant Commissioner for Patents
Box Patent Application
Washington, D.C. 20231

March 26, 2001
1190-0490P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2000/173681	06/09/00

A certified copy of the above-noted application(s) is(are) attached hereto. Also enclosed are the verified English translation(s) of the above-noted priority application(s).

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By: 

JOHN CASTELLANO
Reg. No. 35,094
P. O. Box 747
Falls Church, Virginia 22040-0747

Attachment
(703) 205-8000
/pf

CERTIFIED COPY OF
PRIORITY DOCUMENT

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

IKEUA, et al
3-26-01
BSKB
(703) 203-8000
1190-0490P
1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.



出 願 年 月 日
Date of Application:

2000年 6月 9日

出 願 番 号
Application Number:

特願2000-173681

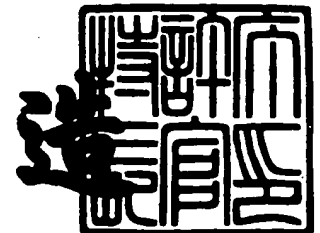
出 願 人
Applicant(s):

三菱電機株式会社

2000年12月15日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 524125JP01

【提出日】 平成12年 6月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 7/24

【発明者】

 【住所又は居所】 兵庫県尼崎市猪名寺2丁目5番1号 三菱電機マイコン
機器ソフトウェア株式会社内

 【氏名】 池田 倫昭

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 稲村 守

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 貴島 淳子

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 幡野 喜子

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

 【氏名】 杉山 和宏

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像符号化装置

【特許請求の範囲】

【請求項 1】 映像信号を受けて、該映像信号をマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路と、

前記画像信号入力回路から出力されるブロック化画像信号を符号化し、符号化された画像信号を伝送路に出力する画像符号化回路と、

伝送路のビットレートに応じて前記画像符号化回路で符号化される領域を選択する符号化領域指定器と

を備え、

前記画像符号化回路は、該符号化領域指定器で指定された領域のみを符号化することを特徴とする画像符号化装置。

【請求項 2】 前記符号化領域指定器は、伝送路のビットレートと、前記画像符号化回路で検出される動きベクトルを入力とし、これらに基づいて符号化する領域を指定することを特徴とする請求項 1 に記載の画像符号化装置。

【請求項 3】 前記符号化領域指定器は、伝送路のビットレートと、外部から指定される領域情報を入力とし、これらに基づいて符号化する領域を指定することを特徴とする請求項 1 に記載の画像符号化装置。

【請求項 4】 映像信号を受けて、該映像信号をマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路と、

前記画像信号入力回路から出力されるブロック化画像信号を符号化し、符号化された画像信号を伝送路に出力する画像符号化回路と、

伝送路のビットレートに応じて、前記画像符号化回路で符号化される画像信号のビット数を制限するセレクタを備える

画像符号化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、映像信号を符号化する符号化装置に関するものである。

【0002】

【従来の技術】

図12は、例えば「MPEG-4のすべて」（工業調査会）p. 39～p. 40に示された従来の符号化装置である。

【0003】

図12において、1は図示しないカメラ等の映像信号発生装置からの映像信号（例えばR、G、Bの信号）を入力して、Y、Cb、Cr信号に変換し、さらにマクロブロックに分割してブロック化映像信号を生成する映像信号入力回路、2は映像信号入力回路1から出力されるブロック化映像信号を受けて符号化を行う映像符号化回路、3は映像符号化回路2で符号化された映像信号を伝送する伝送路である。

【0004】

映像符号化回路2は、入力信号を第一の入力とする減算器2aを有し、減算器2aの出力はDCT回路2b、量子化器2cを通して、DC/AC予測器2dと逆量子化器2fに入力される。DC/AC予測器2dの出力は可変長符号化回路2eの第一の入力端子に与えられ、可変長符号化回路2eはビットストリームを出力する。一方、逆量子化器2fの出力は、逆DCT回路2gを通して、加算器2hの第一の入力端子に与えられる。加算器2hの出力はメモリ2jに与えられ、メモリ2jの出力は予測画像作成回路2kの第一の入力端子と動き検出回路2mの第一の入力端子に与えられる。動き検出回路2mの第二の入力端子には、映像符号化回路2の入力信号（映像信号入力回路1の出力）が与えられ、動き検出回路2mの出力は予測画像作成回路2kの第二の入力端子と動きベクトル予測器2iに与えられる。動きベクトル予測器2iの出力は可変長符号化回路2eの第二の入力端子に与えられる。また、予測画像作成回路2kの出力は減算器2aの第二の入力端子と加算器2hの第二の入力端子に与えられる。

【0005】

映像符号化回路2の出力は伝送路3を介し、ビットストリームとして、図示しない復号装置側へ出力される。

【0006】

次に動作について説明する。まず、画像信号入力回路 1 から出力され、画像符号化回路 2 に入力されるブロック化画像信号は、図 13 に示したように基本処理単位であるマクロブロックに分割されたものである。すなわち、入力される画像信号が 4 : 2 : 0 の場合、輝度信号 (Y) の 16 画素×16 ラインが、2 つの色差信号 (Cb、Cr) の 8 画素×8 ラインと画面上で同じ大きさとなるので、8 画素×8 ラインのブロックが 6 つで、1 つのマクロブロックが構成される。なお、ここでは、入力される Video Object Plane (VOP) は矩形形状で、フレームと同一とする。

【0007】

画像符号化回路 2 は、各ブロックに対して離散コサイン変換 (DCT) を施してから量子化する。量子化された DCT 係数は DC/AC 予測器 2 d で係数の予測を行った後、量子化パラメータなどの付加情報とともに可変長符号化する。これがイントラ符号化である。すべてのマクロブロックに対してイントラ符号化を適用する VOP を I-VOP と呼ぶ。

【0008】

一方、量子化された DCT 係数は、逆量子化、逆 DCT を受けて、復号され、復号画像はメモリ 2 j に記憶される。メモリ 2 j の復号画像はインター符号化を行うときに使用される。

【0009】

インター符号化の場合は、動き検出回路 2 m において、入力されたマクロブロックの動きを示す動きベクトルを検出する。動きベクトルは、メモリ 2 j に記憶された復号画像の中で、入力マクロブロックとの誤差が最も小さくなるような位置を示すものである。予測画像作成回路 2 k は動きベクトルに基づいて、予測画像を作成する。次に、入力マクロブロックとこの予測画像の差分を求め、その差分信号に対して、DCT を施し、量子化を行う。量子化された変換係数は、予測符号化された動きベクトルおよび量子化パラメータなどの付加情報とともに可変長符号化される。また、量子化された DCT 係数は、逆量子化、逆 DCT を受けた後、予測画像と加算 (2 h) されて、メモリ 2 j に記憶される。

【0010】

また、伝送路におけるビットレートを監視しておき、例えば、インターネットのストリーム配信等で、回線状況によって伝送速度が低下した場合、符号化回路 2 側で符号化するフレームレートを落とし、伝送速度に応じた符号化を行う構成になっている。この場合、図示しない復号化装置側で復号される画像のフレームレートは伝送速度に応じて変化し、表示されるようになる。

【 0 0 1 1 】

【発明が解決しようとする課題】

上記のような従来の符号化装置においては、画像符号化回路 2 は、伝送速度が低下した場合、復号化装置側に送信する画像のフレームレートを落として送信する必要がある。この場合、復号化装置側で復号される画像はフレームのデータが欠落している為、コマ落としした画像が表示される等の問題があった。

【 0 0 1 2 】

この発明は、上述のような課題を解消する為になされたもので、符号化する領域を制限する、又は符号化する入力画像のビット数を制限することで伝送速度が低下した場合でもフレームレートを落とすことなく符号化した画像データを送信できる画像符号化装置を提示するものである。

【 0 0 1 3 】

【課題を解決するための手段】

本願請求項 1 に記載の画像符号化装置は、

映像信号を受けて、該映像信号をマクロブロックに分割してブロック化映像信号を生成する画像信号入力回路と、

前記画像信号入力回路から出力されるブロック化映像信号を符号化し、符号化された映像信号を伝送路に出力する画像符号化回路と、

伝送路のビットレートに応じて前記画像符号化回路で符号化される領域を選択する符号化領域指定器と

を備え、

前記画像符号化回路は、該符号化領域指定器で指定された領域のみを符号化することを特徴とする。

【 0 0 1 4 】

請求項 2 に記載の画像符号化装置は、

前記符号化領域指定器は、伝送路のビットレートと、前記画像符号化回路で検出される動きベクトルを入力とし、これらに基づいて符号化する領域を指定することを特徴とする。

【 0 0 1 5 】

請求項 3 に記載の画像符号化装置は、

前記符号化領域指定器は、伝送路のビットレートと、外部から指定される領域情報を入力とし、これらに基づいて符号化する領域を指定することを特徴とする。

【 0 0 1 6 】

請求項 4 に記載の画像符号化装置は、

映像信号を受けて、該映像信号をマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路と、 前記画像信号入力回路から出力されるブロック化画像信号を符号化し、符号化された画像信号を伝送路に出力する画像符号化回路と、 伝送路のビットレートに応じて、前記画像符号化回路で符号化される画像信号のビット数を制限するセレクタを備える。

【 0 0 1 7 】

【発明の実施の形態】

以下、この発明をその実施の形態を示す図面に基づいて具体的に説明する。

【 0 0 1 8 】

実施の形態 1.

図 1 は本発明の実施の形態 1 の画像符号化装置を示すものである。同図において、1 は図示しないカメラ等の映像信号発生装置からの映像信号（例えば R, G, B の信号）を入力して、Y, C b, C r 信号に変換し、さらにマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路、2 は画像信号入力回路 1 から出力されるブロック化画像信号を受けて符号化を行う画像符号化回路、3 は画像符号化回路 2 で符号化された画像信号を伝送する伝送路である。

【 0 0 1 9 】

画像信号入力回路 1 は、図 3 に示すように、図示しないカメラ等の映像信号発

生装置からの映像信号（例えばR、G、Bの信号）を受けて、輝度信号Y及び色差信号Cb、Cr信号に変換するカラー信号変換回路11と、カラー信号変換回路11から出力される輝度信号Y及び色差信号Cb、Crを受けて、マクロブロックに分割してブロック化画像信号を生成するブロック化回路12とを有する。

【0020】

画像符号化回路2は、画像信号入力回路1からの入力信号を第一の入力とする減算器2aを有し、減算器2aの出力は領域セクタ2n、DCT回路2b、量子化器2cを通して、DC/AC予測器2dと逆量子化器2fに入力される。DC/AC予測器2dの出力は可変長符号化回路2eの第一の入力端子に与えられ、可変長符号化回路2eは、DC/AC予測器2dの出力と、後述の動きベクトル予測器2iの出力とに基づきビットストリームを形成し、これを伝送路3へ出力する。一方、逆量子化器2fの出力は、逆DCT回路2gを通して、加算器2hの第一の入力端子に与えられる。加算器2hの出力はメモリ2jに与えられ、メモリ2jの出力は予測画像作成回路2kの第一の入力端子と動き検出回路2mの第一の入力端子に与えられる。動き検出回路2mの第二の入力端子には、画像符号化回路2の入力信号（画像信号入力回路1の出力）が与えられ、動き検出回路2mの出力は予測画像作成回路2kの第二の入力端子と動きベクトル予測器2iに与えられる。動きベクトル予測器2iの出力は可変長符号化回路2eの第二の入力端子に与えられる。また、予測画像作成回路2kの出力は減算器2aの第二の入力端子と加算器2hの第二の入力端子に与えられる。

【0021】

符号化領域指定器41には動き検出回路2mの出力信号2m1と、伝送路ビットレート測定器5の出力信号5aが入力され、符号化領域指定器41の出力は領域セクタ2nの動作を制御する。

【0022】

画像信号入力回路1から出力され、画像符号化回路2に入力されるブロック化画像信号は、図13に示したように基本処理単位であるマクロブロックに分割されたものである。すなわち、入力される画像信号が4:2:0の場合、輝度信号(Y)の16画素×16ラインが、2つの色差信号(Cb、Cr)の8画素×8

ラインと画面上で同じ大きさとなるので、8画素×8ラインのブロックが6つで、1つのマクロブロックが構成される。なお、ここでは、入力されるVideo Object Plane (VOP) は矩形形状で、フレームと同一とする。

【0023】

符号化領域指定器41では、伝送路ビットレート測定器5から入力されるビットレート（伝送速度）に応じて符号化するマクロブロックの設定を行い、領域セクタ2nを制御して、画像符号化回路2で符号化する信号を切り替える。以下、この動作の詳細を記す。

【0024】

図2は符号化領域指定器41を示すものである。動きベクトル変換器41aは動き検出回路2mが出力する動きベクトル2m1から、各マクロブロックについて水平方向動きベクトル値41a1、垂直方向動きベクトル値41a2を求めてそれぞれ比較器41b及び41cに出力する。比較器41bでは水平方向ベクトル値41a1と、伝送路ビットレート測定器5の出力のビットレートに応じて切り替わる閾値41dとの比較を行い、比較器41cでは垂直方向動きベクトル値41a2と、閾値41dと同様に伝送路ビットレート測定器5の出力のビットレートに応じて切り替わる閾値41eとの比較を行う。

【0025】

比較器41b及び41cの各々は動きベクトル変換器41aから供給される動きベクトル値の方がそれぞれの閾値よりも大きいときに真となり、これらの値の論理和を求める論理和回路41hの出力が、符号化領域指定器41の出力となる。これにより、伝送速度が低くなった場合には、動きが大きいマクロブロックのみ符号化を行い、静止画または動きが少ないマクロブロックは符号化を行わないように制御することができる。

【0026】

領域セクタ2nは、符号化領域指定器41の出力が符号化を行うべきことを示している場合には、減算器2aの出力をDCT回路2bに入力し、符号化領域指定器41の出力が符号化を行うべきではないことを示している場合には、0信号（予測誤差が0であることを示す）をDCT回路2bに入力する。

【 0 0 2 7 】

減算器 2 a、DCT 回路 2 b から動き検出器 2 m までの動作は従来例と同様であるので、説明を省略する。

【 0 0 2 8 】

符号化領域指定器 4 1 の出力が符号化を行うべきでないことを示している場合には、領域セクタ 2 n の出力をがゼロとなるので、結果的に、画像符号化回路 2 は、このマクロブロックの符号化を行わないことになる。すなわち、画像符号化回路 2 は、符号化領域指定器 4 1 から指定されたマクロブロックのみの符号化を行うので、伝送するストリームデータを削減することが可能となり、フレームレートを落とすことなく、復号装置側に送信できる。

【 0 0 2 9 】

なお、上記実施の形態 1 においては、符号化領域指定器 4 1 が符号化しないマクロブロックと判定した場合に、領域セクタ 2 n の出力を 0 とすることにより符号化を行わないよう制御したが、例えば、符号化領域指定器 4 1 の出力を可変長符号化回路 2 e に入力し、符号化しないマクロブロックと判定された場合には、可変長符号化回路 2 e が `not_coded` (マクロブロックが符号化されなかったことを示す符号) を出力するよう構成してもよい。

【 0 0 3 0 】

実施の形態 2.

図 4 は本発明の実施の形態 2 の画像符号化装置を示すものである。同図において、1 は図示しないカメラ等の映像信号発生装置からの映像信号 (例えば R, G, B の信号) を入力して、Y, C b, C r 信号に変換し、さらにマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路、画像信号入力回路 1 から出力されるブロック化画像信号は画像符号化回路 2 に入力される。

【 0 0 3 1 】

画像符号化回路 2 は、画像信号入力回路 1 からの入力信号を第一の入力とする減算器 2 a を有し、減算器 2 a の出力は領域セクタ 2 n、DCT 回路 2 b、量子化器 2 c を通って、DC/AC 予測器 2 d と逆量子化器 2 f に入力される。DC/AC 予測器 2 d の出力は可変長符号化回路 2 e の第一の入力端子に与えられ

、可変長符号化回路 2 e は、後述の動きベクトル予測器 2 i の出力とに基づきビットストリームを形成し、これを伝送路 3 へ出力する。一方、逆量子化器 2 f の出力は、逆 DCT 回路 2 g を通って、加算器 2 h の第一の入力端子に与えられる。加算器 2 h の出力はメモリ 2 j に与えられ、メモリ 2 j の出力は予測画像作成回路 2 k の第一の入力端子と動き検出回路 2 m の第一の入力端子に与えられる。動き検出回路 2 m の第二の入力端子には、画像符号化回路 2 の入力信号が与えられ、動き検出回路 2 m の出力は予測画像作成回路 2 k の第二の入力端子と動きベクトル予測器 2 i に与えられる。動きベクトル予測器 2 i の出力は可変長符号化回路 2 e の第二の入力端子に与えられる。また、予測画像作成回路 2 k の出力は減算器 2 a の第二の入力端子と加算器 2 h の第二の入力端子に与えられる。

【 0 0 3 2 】

一方、符号化領域指定器 4 2 には外部から指定された領域を示す信号 7 と、伝送路ビットレート測定器 5 の出力信号 5 a が入力され、符号化領域指定器 4 2 の出力は領域セクタ 2 n を制御する。

【 0 0 3 3 】

実施の形態 2 は、実施の形態 1 の符号化領域指定器 4 1 の代わりに符号化領域指定器 4 2 を用いる点が実施の形態 1 と異なる。

【 0 0 3 4 】

図 5 は、符号化領域指定器 4 2 を示すものである。アドレスデコード器 4 2 a は伝送路 3 のビットレートに応じて、符号化する領域を示す水平開始位置、水平終了位置、垂直開始位置、垂直終了位置の信号 4 2 x を比較器 4 2 b 及び 4 2 d に出力する。

【 0 0 3 5 】

例えば、画像信号入力回路 1 から入力される画像サイズが、輝度信号で水平 1 7 6 画素、垂直 1 4 4 画素であるとき、水平のマクロブロック数は 1 1 個、垂直のマクロブロック数は 9 個となる。そこで、伝送路 3 のビットレートが高ければ、水平開始位置を 0、水平終了位置を 1 0、垂直開始位置を 0、垂直終了位置を 8 とする。すなわち、この場合、画面全体を符号化することを示している。

【 0 0 3 6 】

また、伝送路3のビットレートが低くなった場合には、信号7に指定された領域のみを符号化するよう、水平開始位置、水平終了位置、垂直開始位置、垂直終了位置を設定する。例えば、領域を示す信号7が画面の中央1/4の領域を示している場合、すなわち、領域の左上の画素位置が(44, 36)、領域の大きさが水平88画素、垂直72画素である場合、この領域を含むマクロブロックを選択して、水平開始位置を2、水平終了位置を8、垂直開始位置を2、垂直終了位置を6とする。

【0037】

なお、領域を示す信号7は、例えば、画面中央1/4サイズ、あるいは、画面中央縦1/2サイズ、あるいは、画面左半分、画面右半分といったように、予め定めたエリアを選択して示す信号であってもよいし、上述したように、領域の左上の画素位置と領域の大きさを示す信号、あるいは、領域の左上の画素位置と右下の画素位置を示す信号であってもよい。また、画素単位でなく、マクロブロック単位で指定される信号であってもよい。

【0038】

比較器42bでは水平MBカウンタ42cの出力の水平方向マクロブロックカウント数と、水平開始位置、水平終了位置との比較を行う。同様に比較器4dでは垂直MBカウンタ42eの出力の垂直方向マクロブロックカウント数と、垂直開始位置、垂直終了位置との比較を行う。比較器42b及び42dの各々は下記条件が満たされた場合に真となる。

開始位置 \leq マクロブロックカウント数 \leq 終了位置

比較器42b、42dの出力の論理積を求める論理積回路42gの出力42g1が符号化領域指定器42の出力となる。

【0039】

上記条件が水平、垂直方向ともに満たされた場合、論理積回路42gの出力42g1（領域セクタ2nに供給される）が真となり、画像符号化回路2における符号化を行う。画像符号化回路2の動作は実施の形態1と同一であるので説明を省略する。

【0040】

画像符号化回路 2 は、符号化領域指定器 4 2 から指定されたマクロブロックのみの符号化を行うので、伝送するストリームデータを削減することが可能となり、フレームレートを落とすことなく、復号装置側に送信できる。

【 0 0 4 1 】

なお、上記実施の形態 2 において、領域を示す信号 7 は、符号化開始時に予め設定した領域であってもよいし、図示しないポインティング・デバイス等からの信号を入力して、前記水平開始位置、水平終了位置、垂直開始位置、垂直終了位置を変更することも可能である。ポインティング・デバイス等からの信号を入力とする場合は、例えば、領域の左上の画素と領域の右下の画素を選択して入力するよう構成すればよい。

【 0 0 4 2 】

また、上記実施の形態 2 においては、信号 7 が示す画素単位の領域が、マクロブロックの区切りと一致しない場合、信号 7 が示す領域を含むすべてのマクロブロックを符号化するとしたが、指定された領域をマクロブロック単位の領域で近似する方法は任意である。

【 0 0 4 3 】

実施の形態 3.

図 6 は本発明の実施の形態 3 の画像符号化装置を示すものである。同図において、1 は図示しないカメラ等の映像信号発生装置からの映像信号（例えば R, G, B の信号）を入力して、Y, C_b, C_r 信号に変換し、さらにマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路、画像信号入力回路 1 から出力されるブロック化画像信号は画像符号化回路 2 に入力される。

【 0 0 4 4 】

画像符号化回路 2 は、画像信号入力回路 1 からの入力信号を第一の入力とする減算器 2 a を有し、減算器 2 a の出力は DCT 回路 2 b、量子化器 2 c を通って、DC/AC 予測器 2 d と逆量子化器 2 f に入力される。DC/AC 予測器 2 d の出力は可変長符号化回路 2 e の第一の入力端子に与えられ、可変長符号化回路 2 e は、後述の動きベクトル予測器 2 i の出力と、符号化領域指定器 4 2 の出力とに基づきビットストリームを形成し、これを伝送路 3 へ出力する。一方、逆量

子化器 2 f の出力は、逆 D C T 回路 2 g を通って、加算器 2 h の第一の入力端子に与えられる。加算器 2 h の出力はメモリ 2 j に与えられ、メモリ 2 j の出力は予測画像作成回路 2 k の第一の入力端子と動き検出回路 2 m の第一の入力端子に与えられる。動き検出回路 2 m の第二の入力端子には、画像符号化回路 2 の入力信号が与えられ、動き検出回路 2 m の出力は予測画像作成回路 2 k の第二の入力端子と動きベクトル予測器 2 i に与えられる。動きベクトル予測器 2 i の出力は可変長符号化回路 2 e の第二の入力端子に与えられる。また、予測画像作成回路 2 k の出力は減算器 2 a の第二の入力端子と加算器 2 h の第二の入力端子に与えられる。

【 0 0 4 5 】

一方、符号化領域指定器 4 2 には外部から指定された領域を示す信号 7 と、伝送路ビットレート測定器 5 の出力信号 5 a が入力され、符号化領域指定器 4 2 の出力は領域セクタ 4 4 を制御する。また、符号化領域指定器 4 2 の出力は、可変長符号化回路 2 e の第三の入力端子にも与えられる。

【 0 0 4 6 】

実施の形態 3 においては、符号化領域指定器 4 2 が符号化する領域を制限した場合、画像符号化回路 2 は、入力される画像サイズそのものが変化したものとして、符号化を行う。

【 0 0 4 7 】

すなわち、符号化領域指定器 4 2 が符号化する領域を制限した場合、可変長符号化回路 2 e がこの制御信号を受け、V O P の先頭において、V O P のサイズを示すヘッダ情報を符号化する。一方、符号化領域指定器 4 2 から出力される制御信号は、領域セクタ 4 4 にも入力され、現在のマクロブロックが符号化対象でない場合、画像信号入力回路 1 から出力される信号を画像符号化回路 2 へ入力しない。この間、画像符号化回路 2 は全く符号化を行わない。

【 0 0 4 8 】

実施の形態 4 .

図 7 は本発明の実施の形態 4 の画像符号化装置を示すものである。同図において、1 は図示しないカメラ等の映像信号発生装置からの映像信号（例えば R, G

、Bの信号)を入力して、Y、Cb、Cr信号に変換し、さらにマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路、画像信号入力回路1から出力されるブロック化画像信号はビットセクタ43を介して画像符号化回路2に入力される。ビットセクタ43には、伝送路ビットレート測定器5を制御信号として入力される。

【0049】

画像符号化回路2は、画像信号入力回路1からの入力信号を第一の入力とする減算器2aを有し、減算器2aの出力はDCT回路2b、量子化器2cを通して、DC/AC予測器2dと逆量子化器2fに入力される。DC/AC予測器2dの出力は可変長符号化回路2eの第一の入力端子に与えられ、可変長符号化回路2eは、後述の動きベクトル予測器2iの出力とに基づきビットストリームを形成し、これを伝送路3へ出力する。一方、逆量子化器2fの出力は、逆DCT回路2gを通して、加算器2hの第一の入力端子に与えられる。加算器2hの出力はメモリ2jに与えられ、メモリ2jの出力は予測画像作成回路2kの第一の入力端子と動き検出回路2mの第一の入力端子に与えられる。動き検出回路2mの第二の入力端子には、画像符号化回路2の入力信号が与えられ、動き検出回路2mの出力は予測画像作成回路2kの第二の入力端子と動きベクトル予測器2iに与えられる。動きベクトル予測器2iの出力は可変長符号化回路2eの第二の入力端子に与えられる。また、予測画像作成回路2kの出力は減算器2aの第二の入力端子と加算器2hの第二の入力端子に与えられる。

【0050】

ビットセクタ43は伝送路のビットレートに応じて、入力画像のビット数を切り替え、画像符号化回路2に入力する。

【0051】

図8はビットセクタ43を示すものである。ビット数決定器43aは、伝送路3のビットレートに応じて、入力画像のビット数を決定し、セクタ43bに制御信号を送る。セクタ43bは、ビット数決定器43aからの制御信号に応じて、画像入力回路からの信号(ブロック化画像信号)1aのビット数を切り替える。例えば、伝送速度が低下した場合には、入力信号1a(n)～1a0のう

ち、MSB側の1 a (n) ~ 1 a 2を選択し出力する。選択するビット数は、伝送速度に応じて切り替える。セクタ4 3 bの出力は画像符号化回路2へ入力される。

【0 0 5 2】

画像符号化回路2の動作は従来例と同様であるので、説明を省略する。

【0 0 5 3】

伝送速度が低下した場合には、ビットセクタ4 3により入力画像のビット数が低減されるので、画像符号化回路2で発生するストリームデータを削減することが可能となり、フレームレートを落とすことなく、復号装置側に送信することができる。

【0 0 5 4】

実施の形態5.

図9は本発明の実施の形態5の画像符号化装置を示すものである。同図において、1は図示しないカメラ等の映像信号発生装置からの映像信号（例えばR，G，Bの信号）を入力して、Y，C b，C r信号に変換し、さらにマクロブロックに分割してブロック化画像信号を生成する画像信号入力回路、画像信号入力回路1から出力されるブロック化画像信号はビットセクタ4 3を介して画像符号化回路2に入力される。ビットセクタ4 3には、伝送路ビットレート測定器5の出力を制御信号として入力される。

【0 0 5 5】

画像符号化回路2は、ビットセクタ4 3からの入力信号を第一の入力とする減算器2 aを有し、減算器2 aの出力は領域セクタ2 n、DCT回路2 b、量子化器2 cを通過して、DC/AC予測器2 dと逆量子化器2 fに入力される。DC/AC予測器2 dの出力は可変長符号化回路2 eの第一の入力端子に与えられ、可変長符号化回路2 eは、後述の動きベクトル予測器2 iの出力とに基づきビットストリームを形成し、これを伝送路3へ出力する。一方、逆量子化器2 fの出力は、逆DCT回路2 gを通過して、加算器2 hの第一の入力端子に与えられる。加算器2 hの出力はメモリ2 jに与えられ、メモリ2 jの出力は予測画像作成回路2 kの第一の入力端子と動き検出回路2 mの第一の入力端子に与えられる。

動き検出回路 2 m の第二の入力端子には、画像符号化回路 2 の入力信号が与えられ、動き検出回路 2 m の出力は予測画像作成回路 2 k の第二の入力端子と動きベクトル予測器 2 i に与えられる。動きベクトル予測器 2 i の出力は可変長符号化回路 2 e の第二の入力端子に与えられる。また、予測画像作成回路 2 k の出力は減算器 2 a の第二の入力端子と加算器 2 h の第二の入力端子に与えられる。

【 0 0 5 6 】

一方、符号化領域指定器 4 5 には動き検出回路 2 m の出力信号 2 m 1 と、伝送路ビットレート測定器 5 の出力信号 5 a と、外部から指定された領域を示す信号 7 が入力され、符号化領域指定器 4 5 の出力は領域セクタ 2 n を制御する。

【 0 0 5 7 】

実施の形態 5 は、符号化領域指定器 4 5 とビットセクタ 4 3 の双方を備える点が、実施の形態 4 と異なる。ビットセクタ 4 3 の動作は実施の形態 4 と同様である。

【 0 0 5 8 】

符号化領域指定器 4 5 の一構成例を図 1 0 に示す。図において、4 1 は伝送路ビットレート測定器の出力信号 5 a と動き検出回路の出力信号 2 m 1 を入力とする符号化領域指定器（図 1 に示す実施の形態 1 の符号領域指定器 4 1 と同じもの）であり、4 2 は伝送路ビットレート測定器の出力信号 5 a と外部から指定された領域を示す信号 7 を入力とする符号化領域指定器（図 4 に示す実施の形態 2 の符号化領域指定器 4 2 と同じもの）であり、符号化領域指定器 4 1、4 2 の出力の論理積を求める論理積回路 4 5 a の出力が符号化領域指定器 4 5 の出力となる。

【 0 0 5 9 】

符号化領域指定器 4 1 の動作は実施の形態 1 と同様であり、符号化領域指定器 4 2 の動作は実施の形態 2 と同様である。従って、符号化領域指定器 4 5 は、伝送速度が低下した場合には、指定された領域の中の動きの大きい部分のみを符号化しよう画像符号化回路 2 を制御する。減算器 2 a から領域セクタ 2 n までで構成される画像符号化回路 2 の動作は実施の形態 1 と同様であるので、説明を省略する。

【0060】

実施の形態5においては、ビットセクタ43と符号化領域指定器45の双方を備えるので、伝送速度が低下した場合には、符号化する領域を制限するとともに、入力画像のビット数を低減することにより、画像符号化回路2で発生するストリームデータを削減することが可能となり、フレームレートを落とすことなく、復号装置側に送信することができる。

【0061】

なお、実施の形態5においては、符号化領域指定器45を、符号化領域指定器41と符号化領域指定器42の出力の論理積をとるよう構成したが、符号化領域指定器45は符号化領域指定器41と符号化領域指定器42の出力の論理和をとるよう構成してもよい。この場合、符号化領域指定器45は、伝送速度が低下した場合に、外部から指定された領域または動きの大きい部分のみを符号化するよう画像符号化回路2を制御する。

【0062】

また、符号化領域指定器45は、上記の構成に限らず、伝送路のビットレート5aと動きベクトル2m1と外部から指定された領域7に基づく任意の方法で符号化する領域を決定することができる。

【0063】

なお、上記実施の形態5においては、ビットセクタ43と符号化領域指定器45の双方を備えるとしたが、符号化領域指定器45のみを備える構成であってもよい。

【0064】

また、上記実施の形態5においては、ビットセクタ43と符号化領域指定器45を備えるとしたが、符号化領域指定器45の代わりに、符号化領域指定器41または符号化領域指定器42を備える構成としてもよい。

【0065】

また、図7の例、及び図9の例では、画像信号入力回路1のブロック化回路12から出力され、画像符号化回路2に入力されるブロック化画像信号のビット数を制限しているが、図11に示すように、画像信号入力回路1のカラー信号変換

回路 1 1 とブロック化回路 1 2 の間にビットセクタ 4 3 を挿入し、カラー信号変換回路 1 1 の出力され、ブロック化回路 1 2 に入力される輝度信号 (Y) 及び色差信号 (Y b, Y r) のビット数を制限することとしても良い。

【 0 0 6 6 】

また、上記実施の形態においては M P E G 4 の符号化について説明したが、H 2 6 3 の場合などでも同様の構成で符号化する領域の制限、または、符号化する入力信号のビット数の制限を行うことができる。

【 0 0 6 7 】

【発明の効果】

請求項 1 に記載の発明によれば、伝送速度が低下した場合に符号化する領域を制限することができ、フレームレートを落とすことなく符号化を行うことができる。

【 0 0 6 8 】

請求項 2 に記載の発明によれば、伝送速度が低下した場合にも、動きのある部分だけを伝送することができる。

【 0 0 6 9 】

請求項 3 に記載の発明によれば、伝送速度が低下した場合にも、指定された領域だけはフレームレートを落とすことなく伝送でき、かつ、符号化に必要な消費電力を減少させることができる。

【 0 0 7 0 】

請求項 4 に記載の発明によれば、伝送速度が低下した場合に、符号化する入力信号のビット数を制限することができ、フレームレートを落とすことなく、ストリームデータを削減し、かつ、消費電力を減少させることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の画像符号化装置を示すブロック図である。

【図 2】 実施の形態 1 における符号化領域指定器を示すブロック図である。

【図 3】 図 1 の画像信号入力回路 1 の詳細を示すブロック図である。

【図 4】 本発明の実施の形態 2 の画像符号化装置を示すブロック図である

【図 5】 実施の形態 2 における符号化領域指定器を示すブロック図である

【図 6】 本発明の実施の形態 3 の画像符号化装置を示すブロック図である

【図 7】 本発明の実施の形態 4 の画像符号化装置を示すブロック図である

【図 8】 実施の形態 4 におけるビットセレクタを示すブロック図である。

【図 9】 本発明の実施の形態 5 の画像符号化装置を示すブロック図である

【図 1 0】 実施の形態 5 における符号化領域指定器を示すブロック図である。

【図 1 1】 ビットセレクタの挿入位置の変形例を示すブロック図である。

【図 1 2】 従来の画像符号化装置を示すブロック図である。

【図 1 3】 画像符号化回路への入力信号を示す図である。

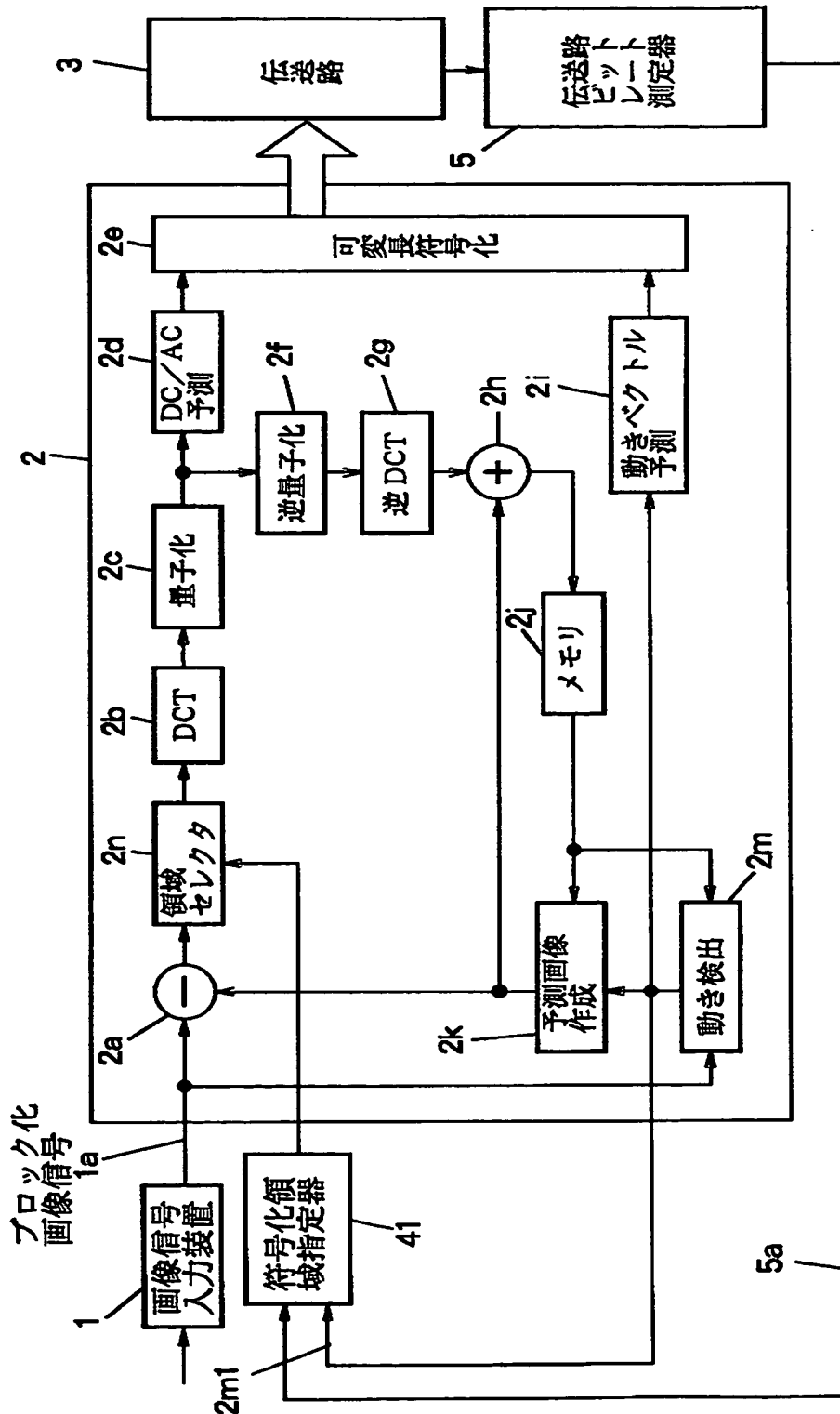
【符号の説明】

1 画像信号入力回路、 2 画像符号化回路、 2 n 領域セレクタ、 3 伝送路、 1 1 カラー信号変換回路、 1 2 ブロック化回路、 4 1、 4 2 符号化領域指定器、 4 3 ビットセレクタ、 4 4 領域セレクタ、 4 5 符号化領域指定器。

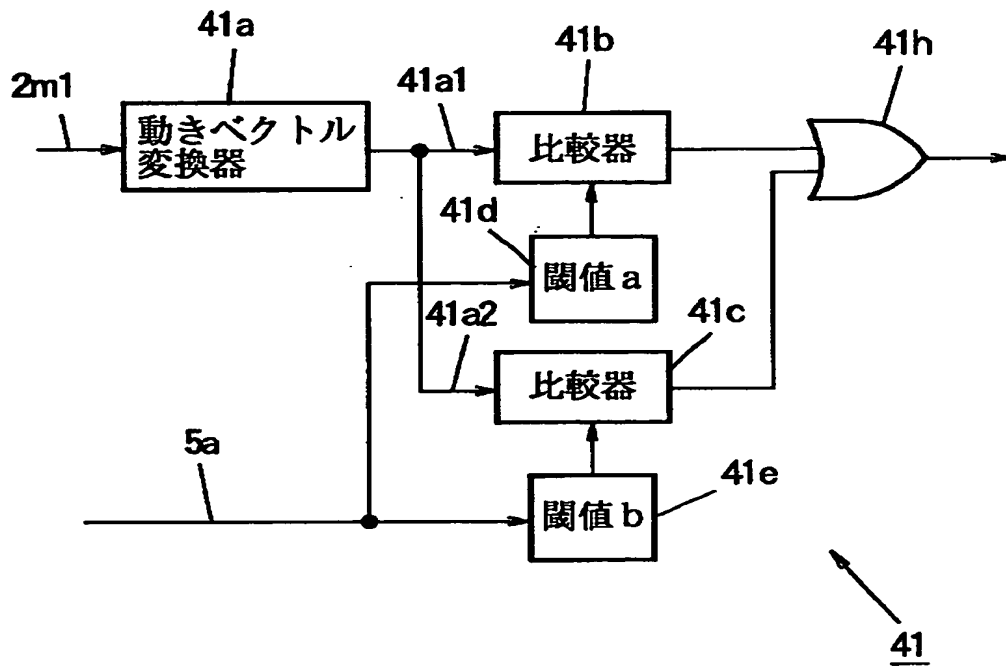
【書類名】

図面

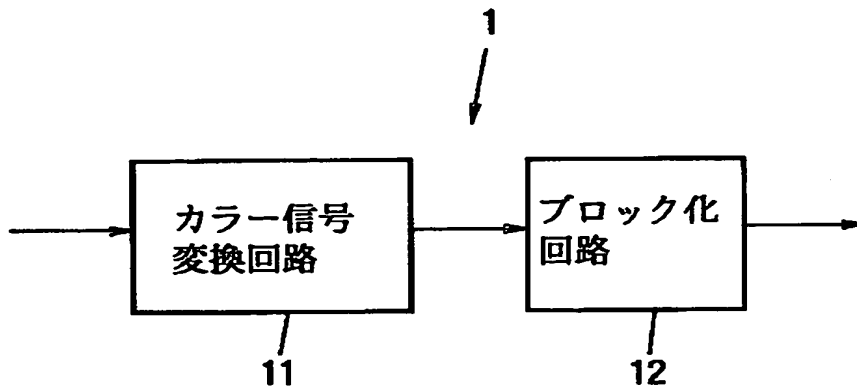
【図1】



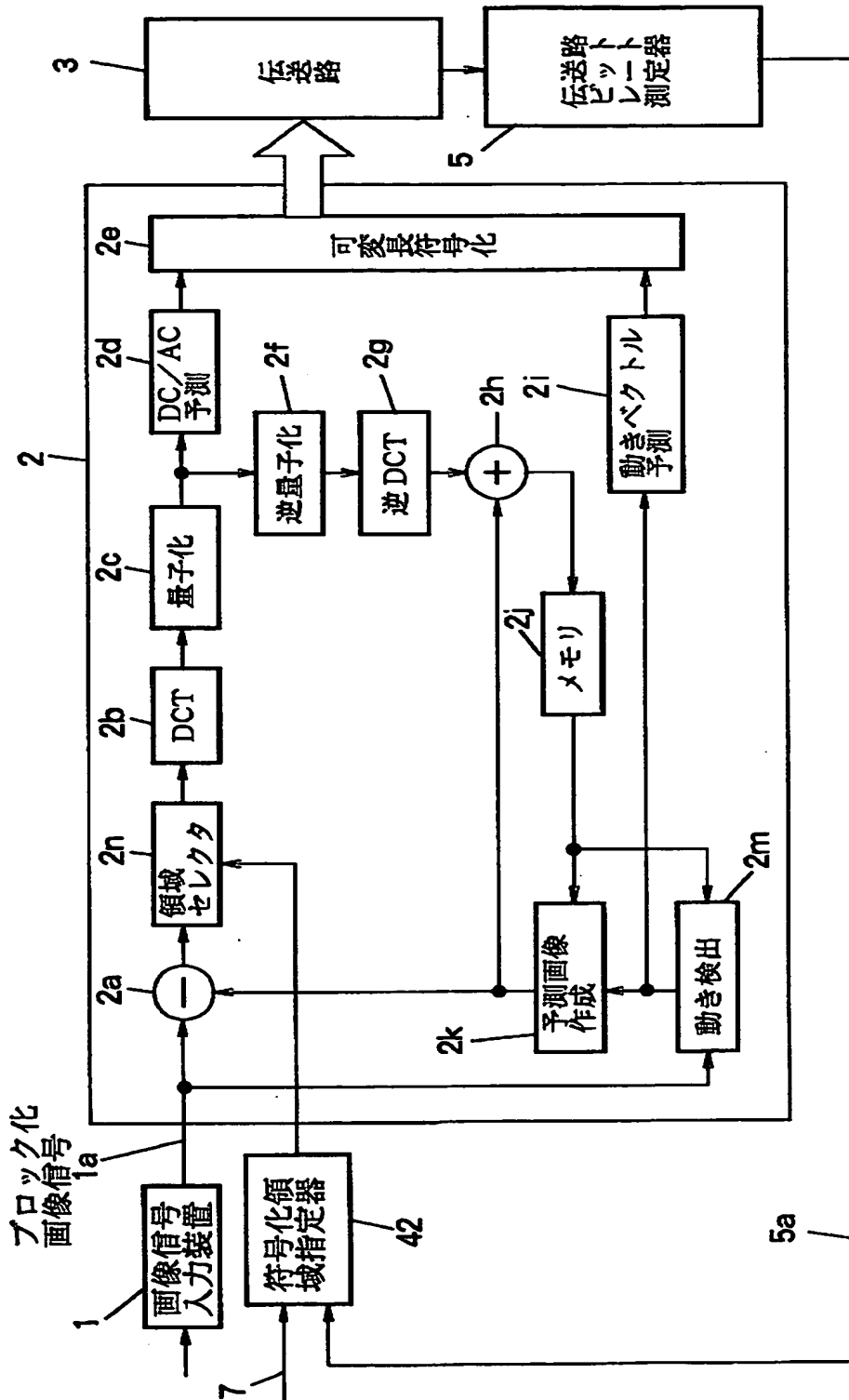
【図 2】



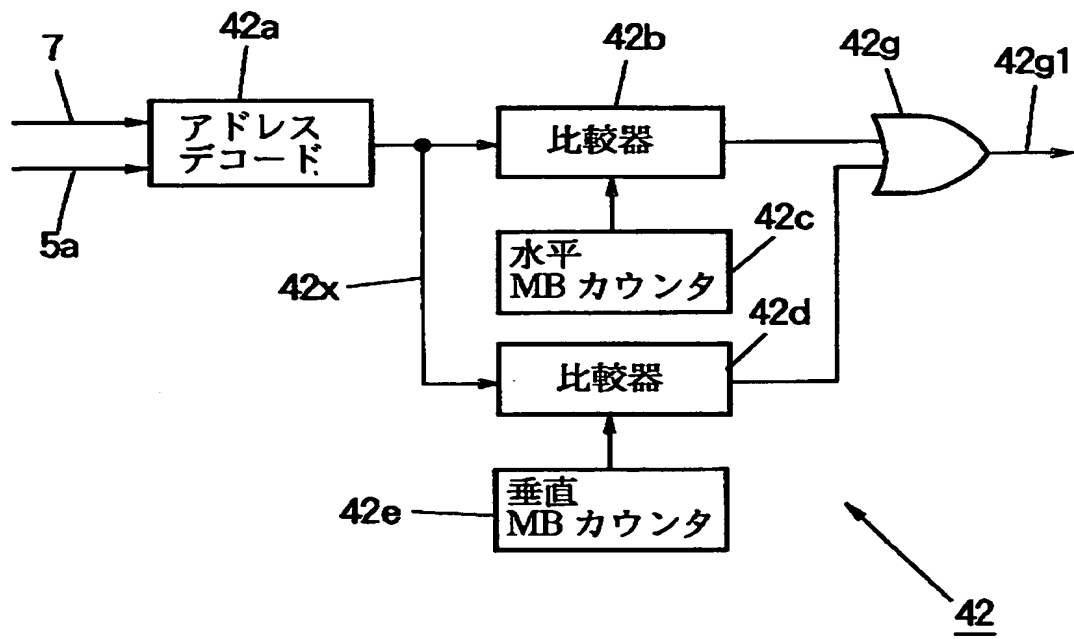
【図 3】



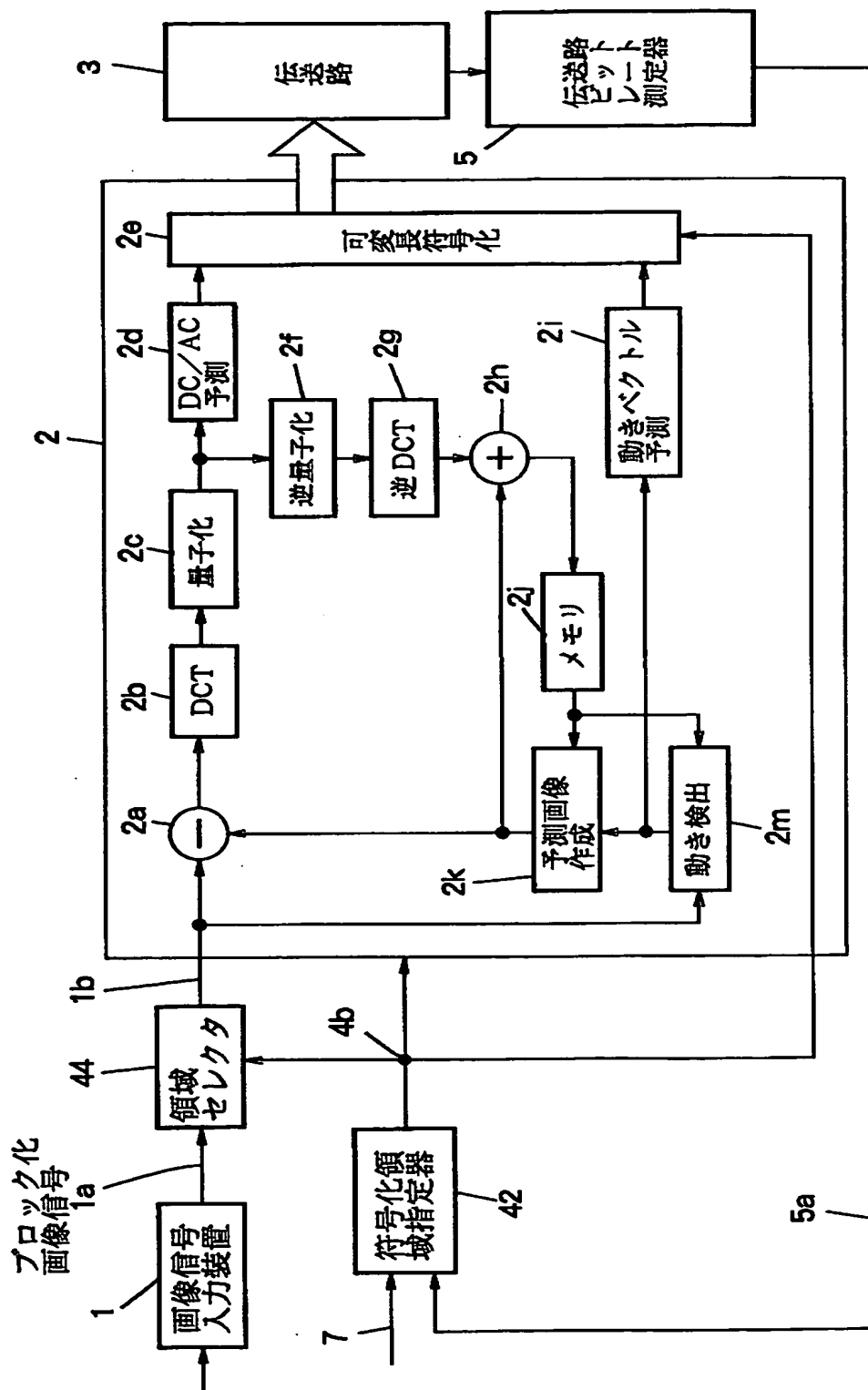
【図 4】



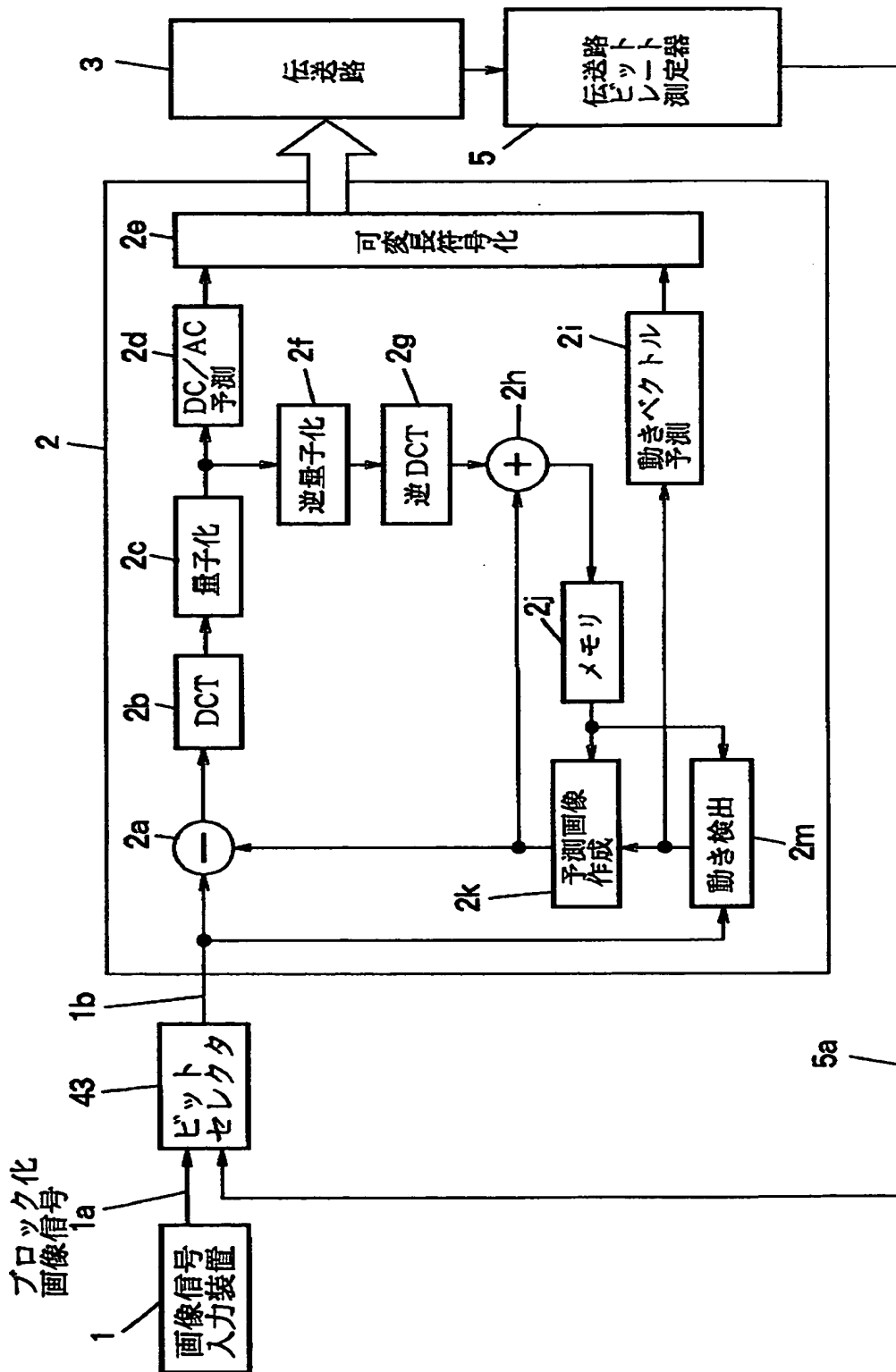
【図 5】



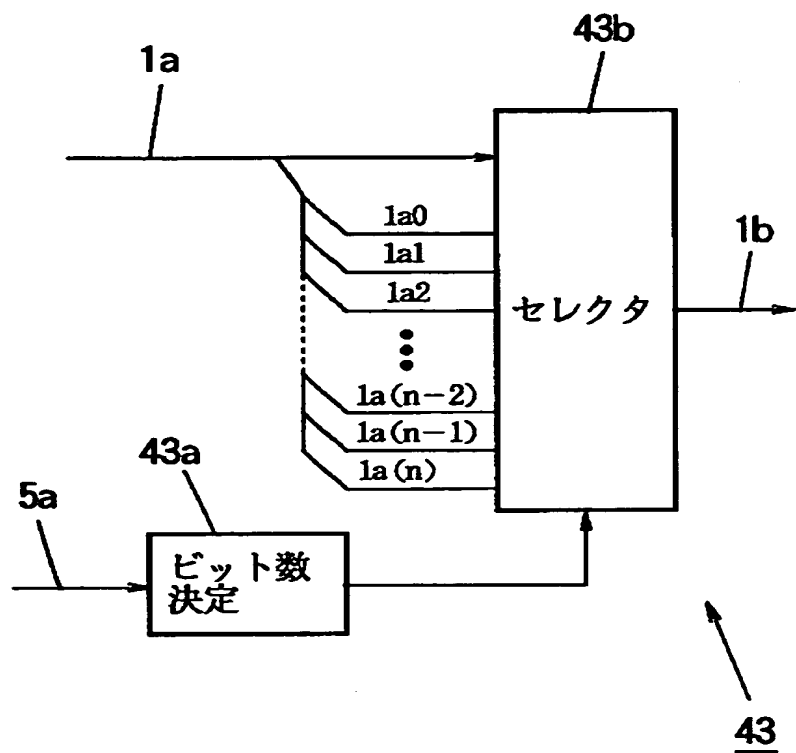
【図 6】



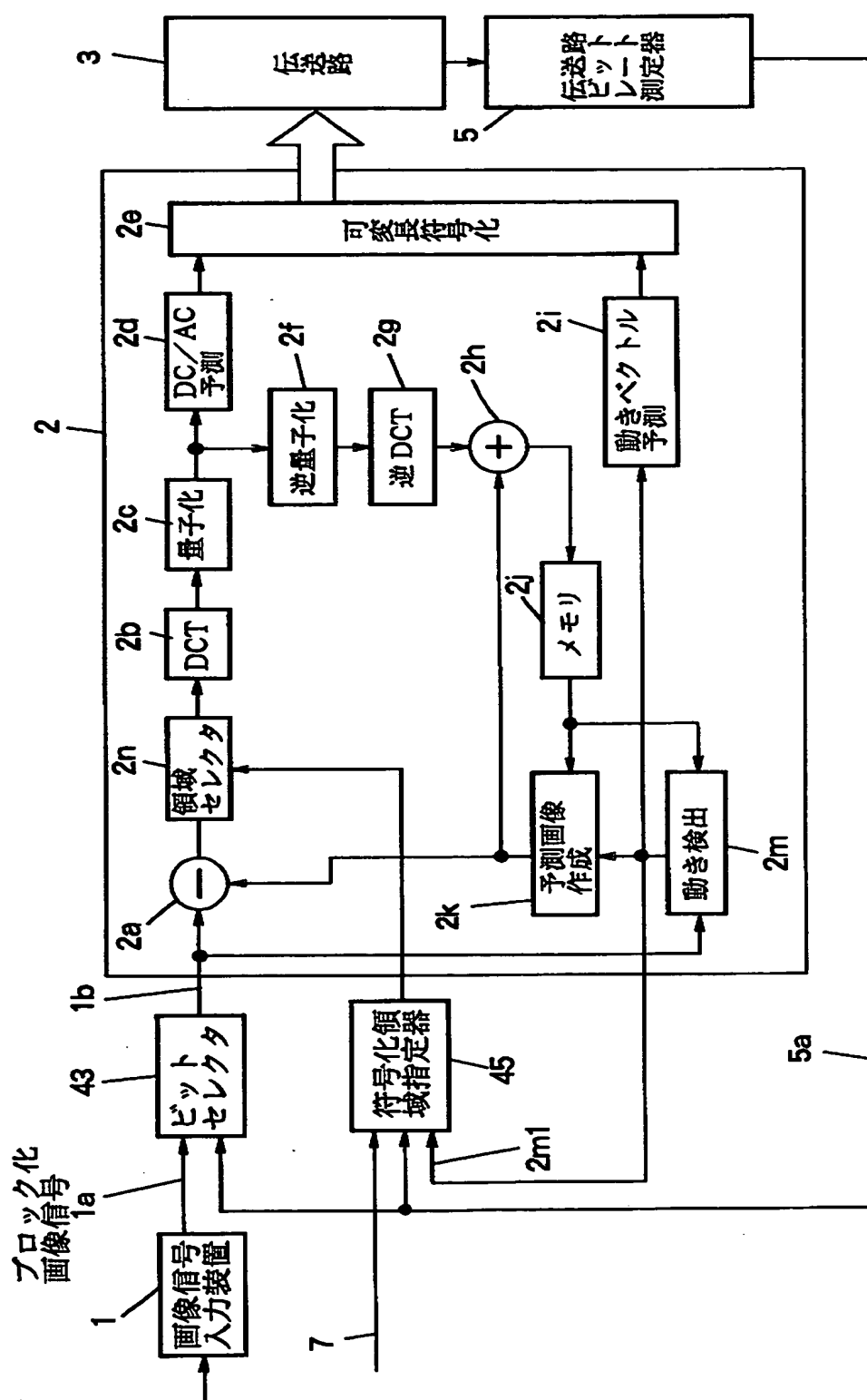
【図7】



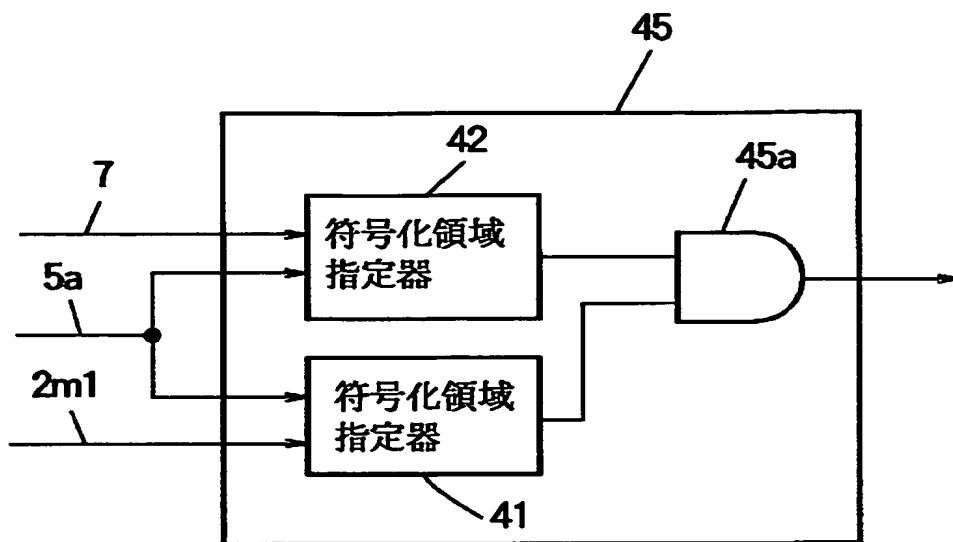
【図 8】



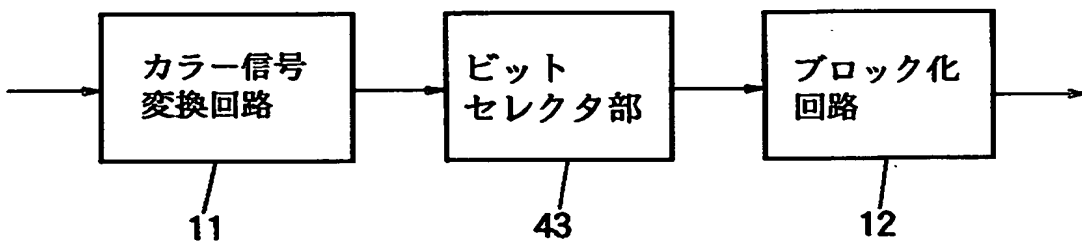
【図9】



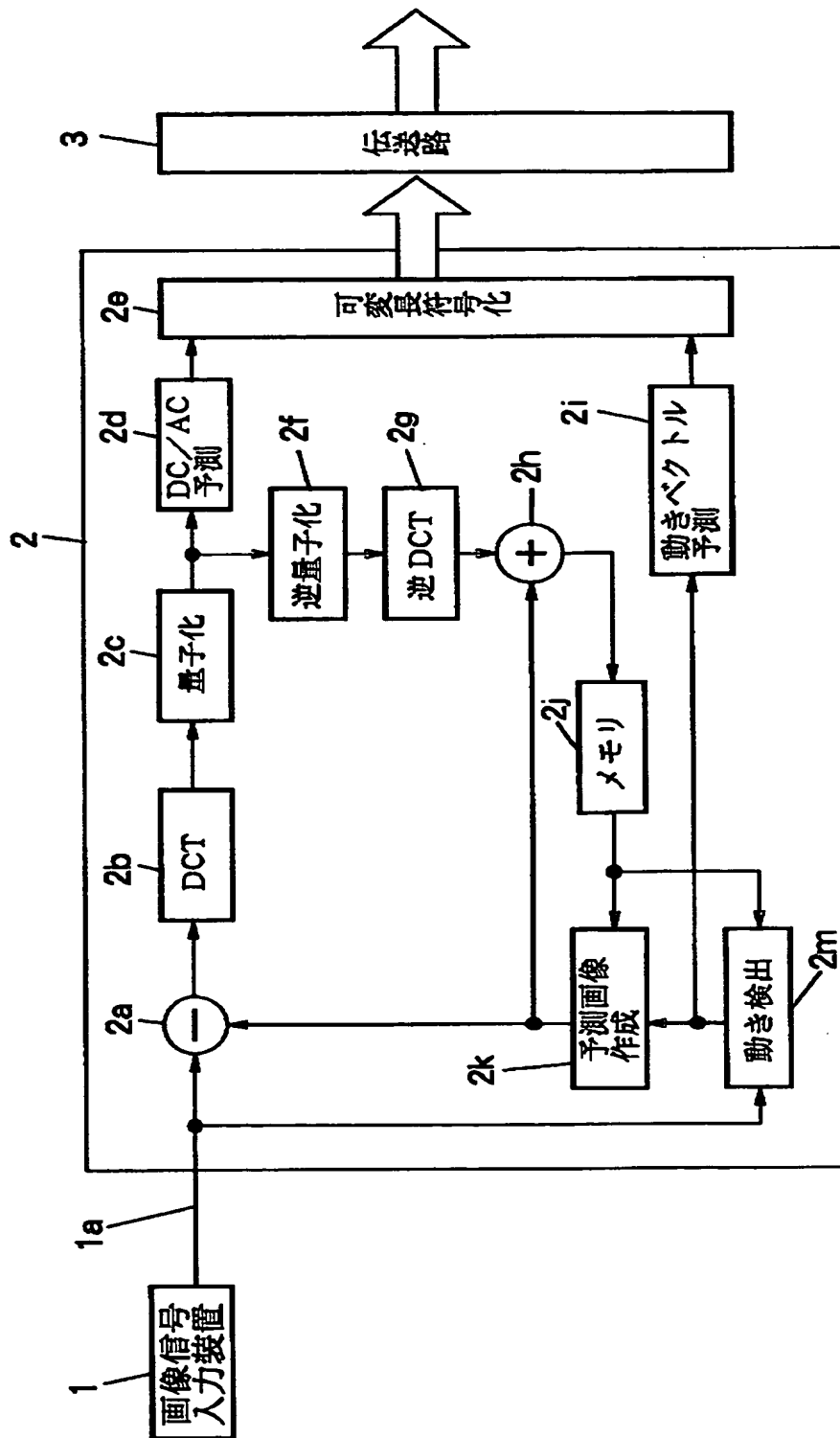
【図 1 0】



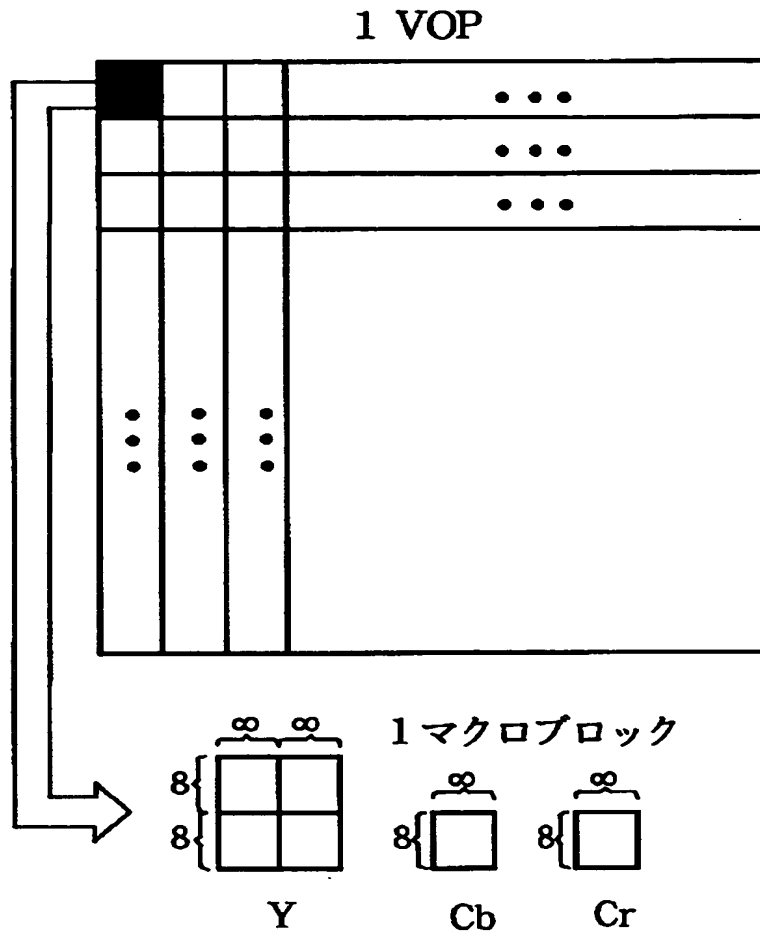
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 伝送路の伝送速度が低下した場合にも、フレームレートを落とすことなく符号化した画像データを送信できる画像符号化装置を提供する。

【解決手段】 伝送路のビットレートに応じて、入力された画像のうち符号化する領域を選択する符号化領域指定器（４１、４２）を備え、符号化領域指定器（４１、４２）で指定された領域のみを画像符号化回路（２）で符号化する。符号化領域指定器としては、伝送路のビットレートと、画像符号化回路（２）で検出される動きベクトルをもとに、符号化する領域を選択するものを用いても良い。代りに、伝送路のビットレートと、外部から指定される領域情報をもとに、符号化する領域を選択する符号化領域指定器を用いても良い。また、画像信号入力回路（１）からの信号のビット数を制限するセレクタ（４３）を備え、伝送路のビットレートが低下した場合には入力画像のビット数を適応的に切り替える。

【選択図】 図１

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社